

#5
J. Douglas
5/31/02

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Yasushi TANAKA et al.

Serial No.: New Application

Group Art Unit: Unassigned

Filed: March 1, 2002

Examiner: Unassigned

For: ENCODING CIRCUIT AND METHOD

10/085137
10/085137
03/01/02

CLAIM FOR PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appln. No. 2001-057749

filed March 2, 2001.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.

March 1, 2002

Date

RWP/mhs

Attorney Docket No. HYAE:134

[Signature]
Roger W. Parkhurst
Registration No. 25,177

PARKHURST & WENDEL, L.L.P.
1421 Prince Street, Suite 210
Alexandria, Virginia 22314-2805
Telephone: (703) 739-0220

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc979 U.S. PTO
10/085137
03/01/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 2日

出 願 番 号

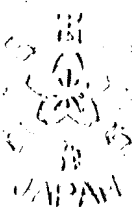
Application Number:

特願2001-057749

出 願 人

Applicant(s):

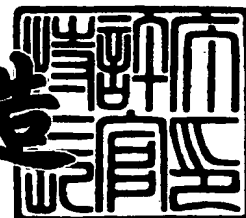
松下電器産業株式会社



2001年10月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3092161

【書類名】 特許願

【整理番号】 2037830003

【提出日】 平成13年 3月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 7/30
H04N 7/26

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 田中 泰資

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 谷山 昌之

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 符号化回路

【特許請求の範囲】

【請求項1】 DCT係数を量子化し、ジグザグスキャン順に可変長符号化を行う際に、一番最後尾の非ゼロDCT係数を検出し、その位置を出力するバッファおよびEOB検出器と、

前記バッファおよびEOB検出器からの位置を基に、一番最後尾の非ゼロ係数の最後にEOB符号を付加した後、可変長符号化処理を休止する可変長符号化器を備えたことを特徴とする符号化回路。

【請求項2】 DCT係数を量子化し、可変長符号化を行う前に、ジグザグスキャンの順番と量子化後のDCT係数との対応をとり、その中で最大のジグザグ順番を持つ非ゼロ係数を検出し、その最大値を出力するEOB検出器と、

前記EOB検出器からの最大値を基に、最大のジグザグ順番を持つ非ゼロ係数の最後にEOB符号を付加した後、可変長符号化処理を休止する可変長符号化器を備えたことを特徴とする符号化回路。

【請求項3】 DCT係数を量子化する前に、ジグザグスキャンの順番と量子化前のDCT係数との対応をとり、量子化係数を基に、最大となるジグザグ順番を持つ非ゼロ係数を検出し、その最大値を出力するEOB検出器と、

前記EOB検出器からの最大値を基に、最大のジグザグ順番を持つ非ゼロ係数の最後にEOB符号を付加した後、可変長符号化処理を休止する可変長符号化器を備えたことを特徴とする符号化回路。

【請求項4】 DCT係数を量子化する前に、ジグザグスキャンの順番どおりに量子化前のDCT係数を並べ替え、量子化係数を基に、最大となるジグザグ順番を持つ非ゼロ係数を検出し、その最大値を出力する並べ替えおよびEOB検出器と、

前記並べ替えおよびEOB検出器からの最大値を基に、最大のジグザグ順番を持つ非ゼロ係数の量子化後、量子化処理を休止する量子化器と、

前記並べ替えおよびEOB検出器からの最大値を基に、最大のジグザグ順番を持つ非ゼロ係数の最後にEOB符号を付加した後、可変長符号化処理を休止する

可変長符号化器とを具備することを特徴とする符号化回路。

【請求項 5】 D C T 係数を量子化するステップと、

前記 D C T 係数もしくは量子化された D C T 係数の一番最後尾の非ゼロ D C T 係数の位置を検出するステップと、

前記検出された位置を基に、量子化された D C T 係数の符号化処理を休止するステップを含むことを特徴とする符号化方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、映像信号や音声信号をデジタル記録して再生するビデオテープレコーダやビデオディスクレコーダなどのデジタル信号記録再生装置において、可変長符号化を用いて伝送、蓄積を行う装置の符号化回路に関するものである。

【 0 0 0 2 】

【従来の技術】

デジタル信号記録再生装置においては装置の小型化を図るため、そのデジタル映像信号の膨大な情報量を圧縮し、記録する必要がある。

【 0 0 0 3 】

デジタル映像信号を圧縮（エンコード）する方法は、動き補償予測、直交変換、特に離散コサイン変換(Discrete Cosine Transform :DCT)、帯域分割による方法等に加えて量子化によるサンプリング、更にハフマン符号化のような可変長符号化(Variable Length Coding :VLC)、算術符号化等で圧縮し、伝送、蓄積を行う。

【 0 0 0 4 】

そのエンコーダの構成例のうち、D C T 以降のフローの一部を図 5 に示す。以下それぞれのブロックの動作について説明を行なう。

【 0 0 0 5 】

図 5 に示すように、まず、入力信号が D C T 5 0 1 に入力される。D C T 5 0 1 では入力信号を D C T 処理して量子化器 5 0 2 に D C T 係数を出力する。量子化器 5 0 2 では D C T 係数を量子化し、メモリ 5 0 3 へ出力する。その際の D C

T係数の出力順について図6に示す。メモリ503は2バンク構成のシングルポートメモリになっており、量子化後のDCT係数が1ブロック分蓄積されると自動的にトグルされる。

【0006】

符号化器504は量子化後のDCT係数をブロック単位でジグザグにスキャンして並べ替えを行った後、先行するゼロ係数の個数（ラン）と、非ゼロの量子化係数の値（レベル）とをまとめて2次元可変長符号化を行う。その際のジグザグスキャンの順番を図7に示す。また、非ゼロ係数の最後には、それを表すEOB（End Of Block）符号を付加する。

【0007】

尚、メモリ503は1バンク、デュアルポートで構成することも可能である。

【0008】

【発明が解決しようとする課題】

しかしながら、上記従来の図5のような構成の場合、常にブロックの最後までジグザグスキャンを行わなければ非ゼロ係数の最後を判別することが出来ないため、消費電力の面で無駄が多かった。

【0009】

本発明はかかる点に鑑み、消費電力を低減する符号化回路を実現することを目的とする。

【0010】

【課題を解決するための手段】

上記目的を達成するため、本発明は、DCTと量子化器の間または量子化器と符号化器の間に非ゼロ係数の最後を検出してその位置を制御信号として出力するEOB検出器と、その制御信号をもとに休止することが可能な量子化器または符号化器を備えることで、画質に悪影響を与えることなく、適応的な消費電力の削減をすることが出来る。

【0011】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

【 0 0 1 2 】

(実施の形態 1)

図 1 に本発明の実施の形態 1 におけるエンコーダの符号化回路部の構成を示す。図中、1 0 1 ~ 1 0 4 は従来の図 5 の 5 0 1 ~ 5 0 4 と基本的に同じ構成で、1 0 5 はバッファおよび E O B 検出器である。

【 0 0 1 3 】

量子化器 1 0 2 では図 6 の処理順で D C T 係数を量子化し、メモリ 1 0 3 へ蓄積する。メモリ 1 0 3 は 2 バンク構成のシングルポートメモリで、量子化された D C T 係数を 1 ブロック分蓄積するとバンク切り替えを行い、バッファおよび E O B 検出器 1 0 5 へ図 7 の処理順で出力する。

【 0 0 1 4 】

バッファおよび E O B 検出器 1 0 5 では、図 9 のようにジグザク順（データ処理順）と D C T 係数との対応をとり、非ゼロ係数の最後（対応するジグザク順が最大となる非ゼロ係数）を検出すると、それに対応するジグザク順の番号を制御信号 1 1 0 として符号化器 1 0 4 に出力する。また、メモリ 1 0 3 より出力された、量子化された D C T 係数を 1 ブロック分バッファに蓄積した後、符号化器 1 0 4 に出力する。

【 0 0 1 5 】

符号化器 1 0 4 では、バッファおよび E O B 検出器 1 0 5 から出力された、量子化された D C T 係数を 1 ブロック分ごとに可変長符号化する。その際に、制御信号 1 1 0 の情報より非ゼロ係数の最後を検知すると、符号化後に E O B 符号を付加し、その後、ブロック最終の D C T 係数まで符号化器 1 0 4 を休止させる。また、メモリ 1 0 3 は 1 バンク、デュアルポートで構成することも可能である。

【 0 0 1 6 】

(実施の形態 2)

図 2 に本発明の実施の形態 2 におけるエンコーダの符号化回路部の構成を示す。図中 2 0 1 ~ 2 0 4 は従来の図 5 の 5 0 1 ~ 5 0 4 と基本的に同じ構成である。2 0 5 は E O B 検出器である。

【 0 0 1 7 】

量子化器 2 0 2 では図 6 の処理順で D C T 係数を量子化し、メモリ 2 0 3 と E O B 検出器 2 0 5 へ出力する。メモリ 2 0 3 は 2 バンク構成のシングルポートメモリで、量子化された D C T 係数を 1 ブロック分蓄積するとバンク切り替えを行い、図 7 の処理順で符号化器 2 0 4 へ出力する。

【 0 0 1 8 】

E O B 検出器 2 0 5 では、図 8 のようにジグザク順（データ処理順）と D C T 係数との対応をとり、非ゼロ係数の最後（対応するジグザク順が最大となる非ゼロ係数）を検出すると、それに対応するジグザク順の番号を制御信号 2 1 0 として符号化器 2 0 4 に出力する。

【 0 0 1 9 】

符号化器 2 0 4 では、メモリ 2 0 3 から出力された、量子化された D C T 係数を 1 ブロック分ごとに可変長符号化する。その際に、制御信号 2 1 0 の情報より非ゼロ係数の最後を検知すると、符号化後に E O B 符号を付加し、その後、ブロック最終の D C T 係数まで符号化器 2 0 4 を休止させる。

【 0 0 2 0 】

また、メモリ 2 0 3 は 1 バンク、デュアルポートで構成することも可能である。

【 0 0 2 1 】

（実施の形態 3）

図 3 に本発明の実施の形態 3 におけるエンコーダの符号化回路部の構成を示す。図中 3 0 1 ～ 3 0 4 は従来の図 5 の 5 0 1 ～ 5 0 4 と基本的に同じ構成である。3 0 5 は E O B 検出器である。D C T 3 0 1 では図 6 の処理順で D C T 係数を量子化器 3 0 2 と E O B 検出器 3 0 5 へ出力する。

【 0 0 2 2 】

量子化器 3 0 2 では図 6 の処理順で D C T 係数を量子化し、メモリ 3 0 3 へ出力する。また、量子化を行う際の量子化係数 3 1 1 を E O B 検出器 3 0 5 へ出力する。

【 0 0 2 3 】

メモリ 3 0 3 は 2 バンク構成のシングルポートメモリで、量子化された D C T

係数を1ブロック分蓄積するとバンク切り替えを行い、図7の処理順で符号化器304へ出力する。

【0024】

EOB検出器305では、図8のようにジグザク順（データ処理順）とDCT係数との対応をとり、非ゼロ係数の最後（対応するジグザク順が最大となる非ゼロ係数）を検出すると、それに対応するジグザク順の番号を制御信号310として符号化器304に出力する。非ゼロ係数は量子化器302の出力値で判別する必要があるため、量子化係数311を用いて判別を行う。

【0025】

符号化器304では、メモリ303から出力された、量子化されたDCT係数を1ブロックごとに可変長符号化する。その際に、制御信号310の情報より非ゼロ係数の最後を検知すると、符号化後にEOB符号を付加し、その後、ブロック最終のDCT係数まで符号化器304を休止させる。

【0026】

また、メモリ303は1バンク、デュアルポートで構成することも可能である。

【0027】

（実施の形態4）

図4に本発明の実施の形態4におけるエンコーダの符号化回路部の構成を示す。図中401～404は従来の図5の501～504と基本的に同じ構成である。405は並べ替えおよびEOB検出器である。

【0028】

DCT401では図6の処理順でDCT係数を並べ替えおよびEOB検出器405へ出力する。並べ替えおよびEOB検出器405では、図6の処理順で入力されたDCT係数を図7のように並べ替える。

【0029】

また、図9のように、ジグザク順（データ処理順）とDCT係数との対応をとり、非ゼロ係数の最後（対応するジグザク順が最大となる非ゼロ係数）を検出すると、それに対応するジグザク順の番号を制御信号410として量子化器402

および符号化器 4 0 4 に出力する。非ゼロ係数は量子化器 4 0 2 の出力値で判別する必要があるため、量子化係数 4 1 1 を用いて判別を行う。

【0 0 3 0】

量子化器 4 0 2 では図 7 の処理順で D C T 係数を量子化し、メモリ 4 0 3 へ出力する。また、量子化を行う際の量子化係数 4 1 1 を並べ替えおよび E O B 検出器 4 0 5 へ出力する。さらに、制御信号 4 1 0 の情報より、非ゼロ係数の最後を検知すると、その非ゼロ係数の量子化後、ブロック最終の D C T 係数まで量子化器 4 0 2 を休止させる。

【0 0 3 1】

メモリ 4 0 3 は 2 バンク構成のシングルポートメモリで、量子化された D C T 係数を 1 ブロック分蓄積するとバンク切り替えを行い、図 7 の処理順で符号化器 4 0 4 へ出力する。

【0 0 3 2】

符号化器 4 0 4 では、メモリ 4 0 3 から出力された、量子化された D C T 係数を 1 ブロック分ごとに可変長符号化する。その際に、制御信号 4 1 0 の情報より非ゼロ係数の最後を検知すると、符号化後に E O B 符号を付加し、その後、ブロック最終の D C T 係数まで符号化器 4 0 4 を休止させる。

また、メモリ 4 0 3 は 1 バンク、デュアルポートで構成することも可能である。

【0 0 3 3】

【発明の効果】

以上のように本発明は、事前に E O B 符号挿入位置が判明することにより、そこからブロック最終の D C T 係数までの量子化処理や可変長符号化処理を休止することが可能になり、画質に悪影響を全く与えることなく、適応的な消費電力の削減を可能にする。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 における符号化回路のブロック図

【図 2】

本発明の実施の形態 2 における符号化回路のブロック図

【図 3】

本発明の実施の形態 3 における符号化回路のブロック図

【図 4】

本発明の実施の形態 4 における符号化回路のブロック図

【図 5】

従来の符号化回路のブロック図

【図 6】

図 1 ～図 5 内の A におけるデータ処理順序の一例を示す図

【図 7】

図 1 ～図 5 内の B におけるデータ処理順序の一例を示す図

【図 8】

図 6 の A におけるデータ処理順序と E O B との関係を表す図

【図 9】

図 6 の B におけるデータ処理順序と E O B との関係を表す図

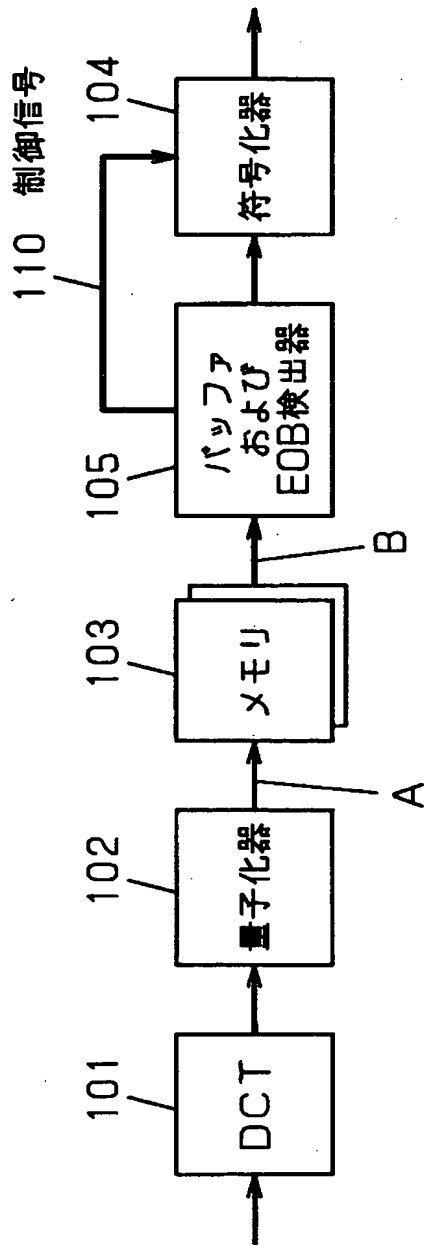
【符号の説明】

- 1 0 1 D C T
- 1 0 2 量子化器
- 1 0 3 メモリ
- 1 0 4 符号化器
- 1 0 5 バッファおよび E O B 検出器
- 2 0 1 D C T
- 2 0 2 量子化器
- 2 0 3 メモリ
- 2 0 4 符号化器
- 2 0 5 E O B 検出器
- 3 0 1 D C T
- 3 0 2 量子化器
- 3 0 3 メモリ
- 3 0 4 符号化器

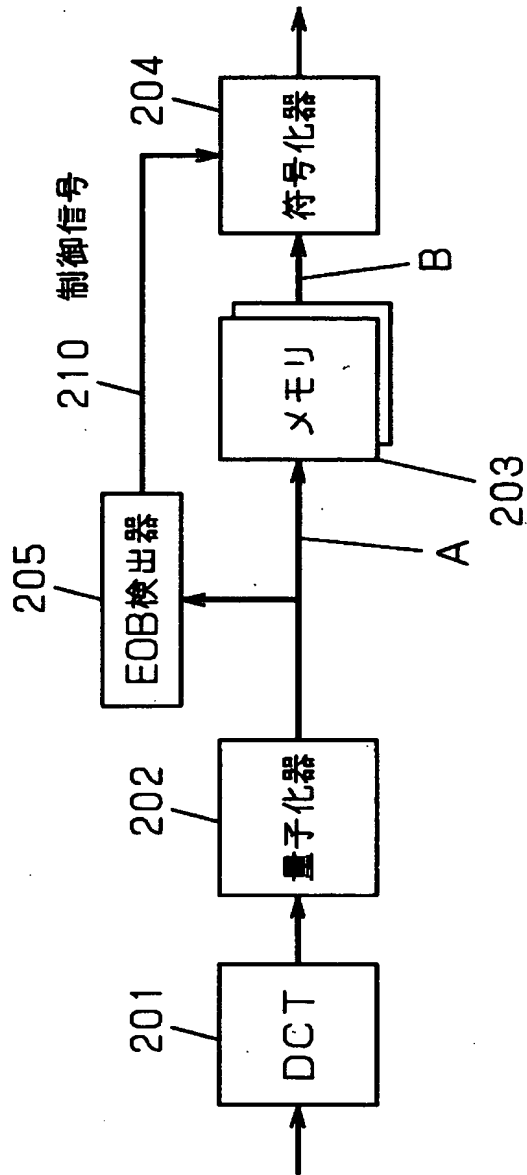
- 3 0 5 E O B 検 出 器
- 4 0 1 D C T
- 4 0 2 量 子 化 器
- 4 0 3 メ モ リ
- 4 0 4 符 号 化 器
- 4 0 5 並 べ 替 え お よ び E O B 検 出 器

【書類名】 図面

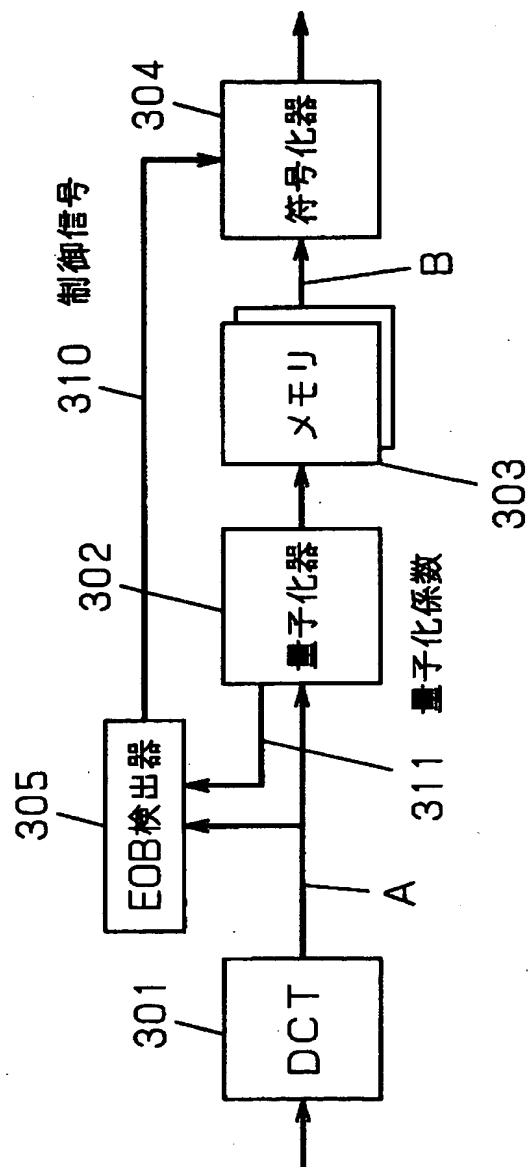
【図 1】



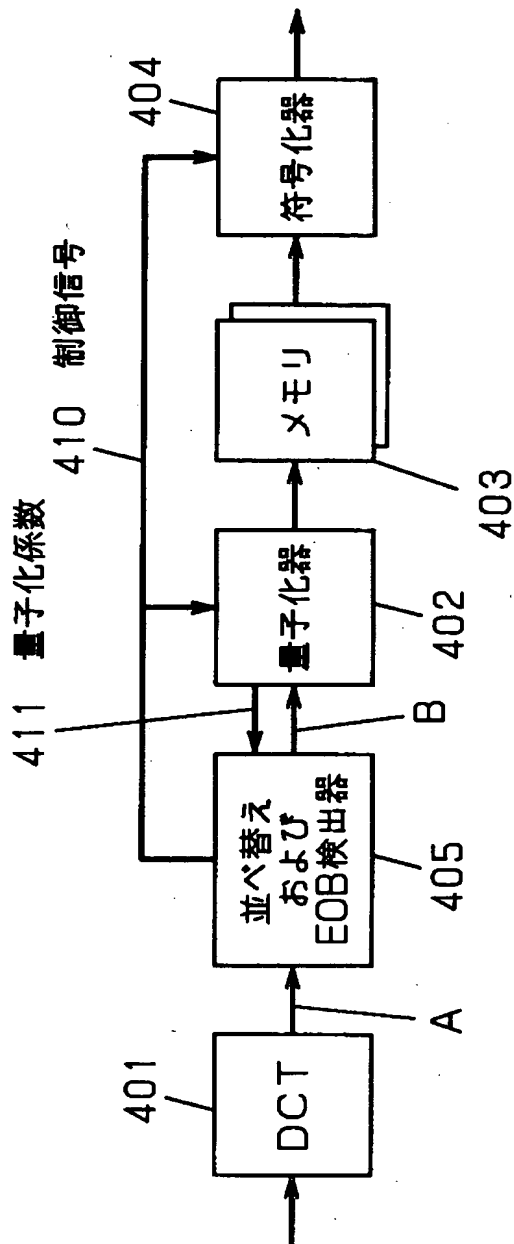
【図2】



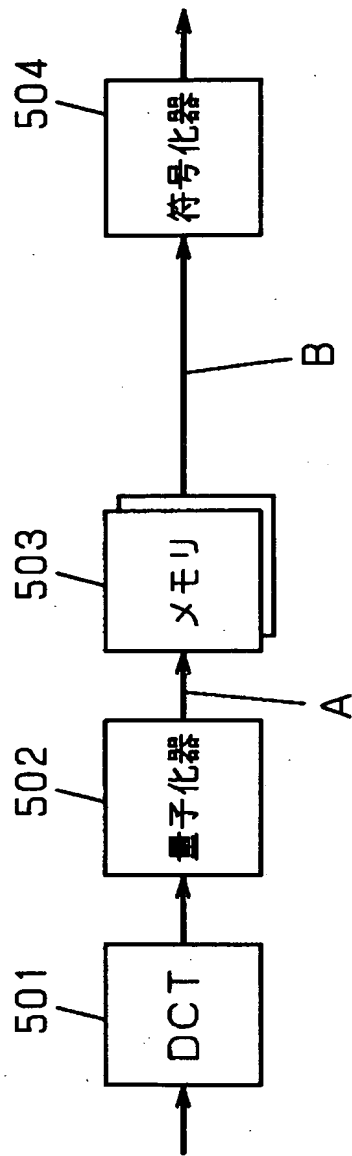
【図 3】



【図 4】



【図 5】



【図 6】

8	3	2	4	0	0	0	0
5	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0
0	2	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0

【図 7】

8	3	2	4	0	0	0	0
5	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0
0	2	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0

【図 8】

1	2	6	7	15	16	28	29	3	5	8	14	17	...	10	12	19	...	64
8	3	2	4	0	0	0	0	5	0	0	1	0	...	0	2	0	...	0

ジグザク順
DCT係数

EOB

【図 9】

ジグザク順 DCT係数	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	...	64
	8	3	5	0	0	2	4	0	0	0	0	2	0	1	0	...	0

EOB

【書類名】 要約書

【要約】

【課題】 量子化後のDCT係数を可変長符号化する際に、DCT係数の符号化処理順序を考慮し、有意係数の最後を事前に判定することで可変長符号化器を制御し、回路の低消費電力化を図る。

【解決手段】 量子化器202と符号化器204の間に非ゼロ係数の最後を検出してその位置を制御信号として出力するEOB検出器205と、その制御信号をもとに休止することが可能な符号化器204を備えることで、画質に悪影響を与えることなく、適応的な消費電力の削減をすることが出来る。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社